

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5384409号
(P5384409)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int.Cl.		F I			
A 6 1 B	1/04	(2006.01)	A 6 1 B	1/04	3 7 2
G 0 2 B	23/24	(2006.01)	G 0 2 B	23/24	B
H 0 4 N	5/225	(2006.01)	H 0 4 N	5/225	C

請求項の数 8 (全 13 頁)

(21) 出願番号 特願2010-78147 (P2010-78147)
 (22) 出願日 平成22年3月30日 (2010. 3. 30)
 (65) 公開番号 特開2011-206335 (P2011-206335A)
 (43) 公開日 平成23年10月20日 (2011.10.20)
 審査請求日 平成24年5月14日 (2012. 5. 14)

(73) 特許権者 306037311
 富士フイルム株式会社
 東京都港区西麻布2丁目26番30号
 (74) 代理人 100083116
 弁理士 松浦 憲三
 (72) 発明者 橋本 邦男
 神奈川県足柄上郡開成町宮台798番地
 富士フイルム株式会社内
 審査官 大塚 裕一

最終頁に続く

(54) 【発明の名称】 内視鏡装置におけるCMOS撮像素子の作動方法

(57) 【特許請求の範囲】

【請求項1】

内視鏡装置における挿入部の先端に内視鏡画像を撮影するためのCMOS撮像素子を備え、前記CMOS撮像素子が制御不能状態となった場合に、前記CMOS撮像素子を制御する制御手段が、前記CMOS撮像素子を正常な状態に回復させるための内視鏡装置におけるCMOS撮像素子の作動方法において、

前記制御手段は、

前記CMOS撮像素子のレジスタを初期化するソフトリセットを実行する第1リセット工程と、

前記第1リセット工程により前記CMOS撮像素子が正常な状態に回復しなかった場合に、前記CMOS撮像素子の信号処理部を初期化するデバイスリセットを実行する第2リセット工程と、

前記第2リセット工程により前記CMOS撮像素子が正常な状態に回復しなかった場合に、前記CMOS撮像素子への電源供給を一旦停止させた後、電源供給を再開する第3リセット工程と、

を順次実行させることを特徴とする内視鏡装置におけるCMOS撮像素子の作動方法。

【請求項2】

前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第1リセット工程は、前記CMOS撮像素子のシリアル通信端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路

10

20

から与えられる制御信号によって実行されることを特徴とする請求項 1 の内視鏡装置における CMOS 撮像素子の作動方法。

【請求項 3】

前記内視鏡装置は、前記 CMOS 撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第 2 リセット工程は、前記 CMOS 撮像素子のデバイスリセット端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられるリセット信号によって実行されることを特徴とする請求項 1、又は、2 の内視鏡装置における CMOS 撮像素子の作動方法。

【請求項 4】

前記内視鏡装置は、前記 CMOS 撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第 3 リセット工程は、前記 CMOS 撮像素子の電源端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられる供給電源の一時的な停止によって実行されることを特徴とする請求項 1、2、又は、3 の内視鏡装置における CMOS 撮像素子の作動方法。

【請求項 5】

前記内視鏡装置は、前記 CMOS 撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記 CMOS 撮像素子が正常な状態か否かは、前記 CMOS 撮像素子のシリアル通信端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から送信した制御信号に対して前記 CMOS 撮像素子からの応答があるか否かで判断することを特徴とする請求項 1、2、3、又は、4 の内視鏡装置における CMOS 撮像素子の作動方法。

【請求項 6】

前記内視鏡装置は、前記 CMOS 撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記 CMOS 撮像素子が正常な状態か否かは、前記 CMOS 撮像素子において前記撮像信号に前記 CMOS 撮像素子の動作状態を示す付加情報を含ませ、該付加情報を前記プロセッサ装置で読み取ることにより判断することを特徴とする請求項 1、2、3、又は、4 の内視鏡装置における CMOS 撮像素子の作動方法。

【請求項 7】

前記内視鏡装置は、前記 CMOS 撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記 CMOS 撮像素子が正常な状態か否かは、前記プロセッサ装置において前記撮像信号による内視鏡画像の変化に基づいて判断することを特徴とする請求項 1、2、3、又は、4 の内視鏡装置における CMOS 撮像素子の作動方法。

【請求項 8】

前記第 2 リセット工程におけるデバイスリセットを禁止可能にしたことを特徴とする請求項 1 乃至 7 のうちのいずれか 1 の内視鏡装置における CMOS 撮像素子の作動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、内視鏡装置における CMOS 撮像素子の作動方法に係り、特に内視鏡挿入部の先端に内視鏡画像を撮像する CMOS 撮像素子が用いられた内視鏡装置の CMOS 撮像素子をリセットする CMOS 撮像素子の作動方法に関する。

【背景技術】

【0002】

従来、医療分野において、内視鏡装置、例えば電子内視鏡を利用した検査が広く普及している。電子内視鏡には、被検体内に挿入される挿入部の先端に CCD センサや CMOS センサのようなイメージセンサが搭載され、コードやコネクタを介してプロセッサ装置（信号処理装置）に接続される。プロセッサ装置は、イメージセンサから得られた撮像信号に対して各種処理を施し、診断に供する内視鏡画像を生成する。内視鏡画像は、プロセッ

10

20

30

40

50

サ装置に接続されたモニタに表示される。

【 0 0 0 3 】

内視鏡挿入部のイメージセンサとして従来ではＣＣＤセンサが一般的に使用されていたが、近年ではＣＭＯＳセンサを使用することが検討されてきている（例えば特許文献1参照）。ＣＭＯＳセンサはＣＣＤセンサとは異なり、一般的なＣＭＯＳ製造プロセスにより、ＣＭＯＳ撮像素子として同一チップ上に、信号処理回路、タイミングジェネレータ、Ａ／Ｄコンバータ、通信インターフェースなどの周辺回路もＣＭＯＳセンサと共に形成することが可能である。

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献1】特開 2 0 0 9 - 2 0 1 5 4 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

ところで、ＣＣＤセンサを使用した内視鏡装置では、内視鏡挿入部の先端のＣＣＤセンサから離れた操作部の中継基板に、ＣＣＤセンサの周辺回路が配置され、プロセッサ装置との間の信号の送受信は中継基板との間で行われており、ＣＣＤセンサからの撮像信号は、アナログ信号により中継基板まで送られるようになっている。一方、上記のようなＣＭＯＳ撮像素子を使用した内視鏡においては、内視鏡挿入部の先端のＣＭＯＳ撮像素子とプロセッサ装置との間、又は、中継基板との間で、直接、デジタル信号に変換された撮像信号の送信や、シリアル通信による制御信号の送受信が行われることになる。

【 0 0 0 6 】

そのため、ＣＭＯＳ撮像素子を使用した内視鏡においては撮像信号や制御信号の通信路の品質、ＣＭＯＳ撮像素子の誤動作などが問題となる。特に内視鏡挿入部の先端ではＡＰＣ（Argon Plasma Coagulation）処方が観察と併用される場合や、電気的な処置具が使用される場合などに電気ノイズの影響を受けやすく、ＣＭＯＳ撮像素子が制御不能の状態に陥り、内視鏡画像を取得できない状態になる恐れがある。

【 0 0 0 7 】

このような状態を回避する方法としてはＣＭＯＳ撮像素子への電源供給を一旦オフして初期状態に復帰させることが考えられるが、電源をオフするとオンした後に使用可能になるまでに時間がかかり過ぎるため、可能な限り迅速に復旧できるようにすることが望ましい。

【 0 0 0 8 】

本発明はこのような事情に鑑みてなされたもので、内視鏡挿入部の先端に内視鏡画像を撮影するためのＣＭＯＳ撮像素子を備えた内視鏡装置において、ＣＭＯＳ撮像素子が制御不能となった場合に、可能な限り迅速に正常な状態に復旧できるようにした内視鏡装置におけるＣＭＯＳ撮像素子の作動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

前記目的を達成するために、請求項 1 に係る内視鏡装置におけるＣＭＯＳ撮像素子の作動方法は、内視鏡装置における挿入部の先端に内視鏡画像を撮影するためのＣＭＯＳ撮像素子を備え、前記ＣＭＯＳ撮像素子が制御不能状態となった場合に、前記ＣＭＯＳ撮像素子を制御する制御手段が、前記ＣＭＯＳ撮像素子を正常な状態に回復させるための内視鏡装置におけるＣＭＯＳ撮像素子の作動方法において、前記制御手段は、前記ＣＭＯＳ撮像素子のレジスタを初期化するソフトリセットを実行する第 1 リセット工程と、前記第 1 リセット工程により前記ＣＭＯＳ撮像素子が正常な状態に回復しなかった場合に、前記ＣＭＯＳ撮像素子の信号処理部を初期化するデバイスリセットを実行する第 2 リセット工程と、前記第 2 リセット工程により前記ＣＭＯＳ撮像素子が正常な状態に回復しなかった場合に、前記ＣＭＯＳ撮像素子への電源供給を一旦停止させた後、電源供給を再開する第 3 リ

10

20

30

40

50

セット工程と、を順次実行させることを特徴としている。

【0010】

本発明によれば、CMOS撮像素子が制御不能状態となった場合に、復旧に時間のかかる電源供給の停止によってリセットを行う前に部分的に初期化を行うソフトリセットとデバイスリセットを順に行うようにしたため、いずれかのリセット処理によってCMOS撮像素子が正常な状態に復旧した場合には復旧までの時間を大幅に短縮することができる。

【0011】

請求項2に係る内視鏡装置におけるCMOS撮像素子の作動方法は、請求項1に係る発明において、前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第1リセット工程は、前記CMOS撮像素子のシリアル通信端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられる制御信号によって実行されることを特徴としている。

10

【0012】

本発明によれば、第1リセット工程のソフトリセットはプロセッサ装置又は内視鏡装置内の制御回路からのシリアル通信による制御信号によってレジスタを初期化することにより行われる。

【0013】

請求項3に係る内視鏡装置におけるCMOS撮像素子の作動方法は、請求項1、又は、2に係る発明において、前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第2リセット工程は、前記CMOS撮像素子のデバイスリセット端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられるリセット信号によって実行されることを特徴としている。

20

【0014】

本発明によれば、第2リセット工程のデバイスリセットは、CMOS撮像素子のデバイスリセット端子にプロセッサ装置又は内視鏡装置内の制御回路から所定のリセット信号を与えることにより行われる。

【0015】

請求項4に係る内視鏡装置におけるCMOS撮像素子の作動方法は、請求項1、2、又は、3に係る発明において、前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第3リセット工程は、前記CMOS撮像素子の電源端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられる供給電源の一時的な停止によって実行されることを特徴としている。

30

【0016】

本発明によれば、第3リセット工程の電源供給の停止と再開は、CMOS撮像素子の電源端子へのプロセッサ装置又は内視鏡装置内の制御回路からの供給電源の一時的な停止によって行われる。

【0017】

請求項5に係る内視鏡装置におけるCMOS撮像素子の作動方法は、請求項1、2、3、又は、4に係る発明において、前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記CMOS撮像素子が正常な状態か否かは、前記CMOS撮像素子のシリアル通信端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から送信した制御信号に対して前記CMOS撮像素子からの応答があるか否かで判断することを特徴としている。

40

【0018】

本発明によれば、CMOS撮像素子が正常な状態か否か、即ち、制御不能状態か否かの判断が、CMOS撮像素子とプロセッサ装置又は内視鏡装置内の制御回路との間のシリアル通信により行われる。

【0019】

50

請求項 6 に係る内視鏡装置における CMOS 撮像素子の作動方法は、請求項 1、2、3、又は、4 に係る発明において、前記内視鏡装置は、前記 CMOS 撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記 CMOS 撮像素子が正常な状態か否かは、前記 CMOS 撮像素子において前記撮像信号に前記 CMOS 撮像素子の動作状態を示す付加情報を含ませ、該付加情報を前記プロセッサ装置で読み取ることにより判断することを特徴としている。

【0020】

本発明によれば、CMOS 撮像素子が正常な状態か否か、即ち、制御不能状態か否かの判断が、CMOS 撮像素子からプロセッサ装置に出力される撮像信号に含まれる付加情報によって行われる。

10

【0021】

請求項 7 に係る内視鏡装置における CMOS 撮像素子の作動方法は、請求項 1、2、3、又は、4 に係る発明において、前記内視鏡装置は、前記 CMOS 撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記 CMOS 撮像素子が正常な状態か否かは、前記プロセッサ装置において前記撮像信号による内視鏡画像の変化に基づいて判断することを特徴としている。

【0022】

本発明によれば、CMOS 撮像素子が正常な状態か否か、即ち、制御不能状態か否かの判断が、CMOS 撮像素子からプロセッサ装置に出力される撮像信号による内視鏡画像の変化に基づいて行われる。

20

【0023】

請求項 8 に係る内視鏡装置における CMOS 撮像素子の作動方法は、請求項 1 乃至 7 のうちのいずれか 1 の発明において、前記第 2 リセット工程におけるデバイスリセットを禁止可能にしたことを特徴としている。

【0024】

本発明は、デバイスリセットが電気ノイズなどによって意図せずに行われてしまう不具合を未然に防止することを可能にしたものである。

【発明の効果】

【0025】

本発明によれば、内視鏡挿入部の先端に内視鏡画像を撮影するための CMOS 撮像素子を備えた内視鏡装置において、CMOS 撮像素子が制御不能となった場合に、可能な限り迅速に正常な状態に復旧できるようになる。

30

【図面の簡単な説明】

【0026】

【図 1】内視鏡システムの概略構成を示した全体構成図

【図 2】電子内視鏡の先端部を示した正面図

【図 3】電子内視鏡の先端部を示した側面断面図

【図 4】内視鏡装置プロセッサ装置とからなる内視鏡システムの制御系を構成を示したブロック図

【図 5】CMOS 撮像素子のリセットに関連する構成部を示したブロック図

40

【図 6】CMOS 撮像素子のリセット方法の手順を示したフローチャート

【発明を実施するための形態】

【0027】

以下、添付図面に従って本発明に係る内視鏡装置における CMOS 撮像素子の作動方法の好ましい実施の形態について詳説する。

【0028】

図 1 は本発明の一実施形態に係る内視鏡システムの概略構成を示した全体構成図である。図 1 に示すように、本実施形態の内視鏡システム 10 は、内視鏡装置（電子内視鏡、以下、内視鏡という。）12、プロセッサ装置 14、光源装置 16 などから構成される。内視鏡 12 は、患者（被検体）の体腔内に挿入される可撓性の挿入部 20 と、挿入部 20 の

50

基端部分に連設された操作部 2 2 と、プロセッサ装置 1 4 及び光源装置 1 6 に接続されるユニバーサルコード 2 4 とを備えている。

【 0 0 2 9 】

挿入部 2 0 の先端には、体腔内撮影用の CMOS 撮像素子 (撮像チップ) 5 4 (図 3 参照) などが内蔵された先端部 2 6 が連設されている。先端部 2 6 の後方には、複数の湾曲駒を連結した湾曲部 2 8 が設けられている。湾曲部 2 8 は、操作部 2 2 に設けられたアングルノブ 3 0 が操作されて、挿入部 2 0 内に挿設されたワイヤが押し引きされることにより、上下左右方向に湾曲動作する。これにより、先端部 2 6 が体腔内の所望の方向に向けられる。

【 0 0 3 0 】

ユニバーサルコード 2 4 の基端は、コネクタ 3 6 に連結されている。コネクタ 3 6 は、複合タイプのものであり、コネクタ 3 6 にはプロセッサ装置 1 4 が接続される他、光源装置 1 6 が接続される。

【 0 0 3 1 】

プロセッサ装置 1 4 は、ユニバーサルコード 2 4 内に挿通されたケーブル 6 8 (図 3 参照) を介して電子内視鏡 1 2 に給電を行い、 CMOS 撮像素子 5 4 の駆動を制御するとともに、 CMOS 撮像素子 5 4 からケーブル 6 8 を介して伝送された撮像信号を受信し、受信した撮像信号に各種信号処理を施して画像データに変換する。プロセッサ装置 1 4 で変換された画像データは、プロセッサ装置 1 4 にケーブル接続されたモニタ 3 8 に内視鏡画像として表示される。また、プロセッサ装置 1 4 は、コネクタ 3 6 を介して光源装置 1 6 と電氣的に接続され、内視鏡システム 1 0 の動作を統括的に制御する。

【 0 0 3 2 】

図 2 は電子内視鏡 1 2 の先端部 2 6 を示した正面図である。図 2 に示すように、先端部 2 6 の先端面 2 6 a には、観察窓 4 0、照明窓 4 2、鉗子出口 4 4、及び送気・送水用ノズル 4 6 が設けられている。観察窓 4 0 は、先端部 2 6 の片側中央に配置されている。照明窓 4 2 は、観察窓 4 0 に関して対称な位置に 2 個配され、体腔内の被観察部位に光源装置 1 6 からの照明光を照射する。鉗子出口 4 4 は、挿入部 2 0 内に配設された鉗子チャンネル 7 0 (図 3 参照) に接続され、操作部 2 2 に設けられた鉗子口 3 4 (図 1 参照) に連通している。鉗子口 3 4 には、注射針や高周波メスなどが先端に配された各種処置具が挿通され、各種処置具の先端が鉗子出口 4 4 から露呈される。送気・送水用ノズル 4 6 は、操作部 2 2 に設けられた送気・送水ボタン 3 2 (図 1 参照) の操作に応じて、光源装置 1 6 に内蔵された送気・送水装置から供給される洗浄水や空気を、観察窓 4 0 や体腔内に向けて噴射する。

【 0 0 3 3 】

図 3 は内視鏡 1 2 の先端部 2 6 を示した側面断面図である。図 3 に示すように、観察窓 4 0 の奥には、体腔内の被観察部位の像光を取り込むための対物光学系 5 0 を保持する鏡筒 5 2 が配設されている。鏡筒 5 2 は、挿入部 2 0 の中心軸に対物光学系 5 0 の光軸が平行となるように取り付けられている。鏡筒 5 2 の後端には、対物光学系 5 0 を経由した被観察部位の像光を、略直角に曲げて撮像チップ 5 4 に向けて導光するプリズム 5 6 が接続されている。

【 0 0 3 4 】

CMOS 撮像素子 5 4 は、 CMOS センサ 5 8 と、 CMOS センサ 5 8 の駆動及び信号の入出力を行う周辺回路とが一体形成されたモノリシック半導体 (いわゆる CMOS センサチップ) であり、支持基板 6 2 上に実装されている。 CMOS センサ 5 8 の撮像面 5 8 a は、プリズム 5 6 の出射面と対向するように配置されている。撮像面 5 8 a 上には、矩形枠状のスペーサ 6 3 を介して矩形板状のカバーガラス 6 4 が取り付けられている。 CMOS センサ 5 8、スペーサ 6 3、及びカバーガラス 6 4 は、接着剤を介して組み付けられている。これにより、塵埃などの侵入から撮像面 5 8 a が保護されている。

【 0 0 3 5 】

挿入部 2 0 の後端に向けて延設された支持基板 6 2 の後端部には、複数の入出力端子 6

10

20

30

40

50

2 a が支持基板 6 2 の幅方向に並べて設けられている。入出力端子 6 2 a には、ユニバーサルコード 2 4 を介してプロセッサ装置 1 4 との各種信号の遣り取りを媒介するための信号線 6 6 が接合されており、入出力端子 6 2 a は、支持基板 6 2 に形成された配線やボンディングパッド等（図示せず）を介して CMOS 撮像素子 5 4 内の周辺回路 6 0 と電気的に接続されている。信号線 6 6 は、可撓性の管状のケーブル 6 8 内にまとめて挿通されている。ケーブル 6 8 は、挿入部 2 0、操作部 2 2、及びユニバーサルコード 2 4 の各内部を挿通し、コネクタ 3 6 に接続されている。

【 0 0 3 6 】

また、図示は省略したが、照明窓 4 2 の奥には、照明部が設けられている。照明部には、光源装置 1 6 からの照明光を導くライトガイドの出射端が配されている。ライトガイドは、ケーブル 6 8 と同様に、挿入部 2 0、操作部 2 2、及びユニバーサルコード 2 4 の各内部を挿通し、コネクタ 3 6 に入射端が接続されている。

10

【 0 0 3 7 】

図 4 は上記内視鏡システム 1 0 における内視鏡 1 2 及びプロセッサ装置 1 4 の構成を示したブロック図である。

【 0 0 3 8 】

同図に示すよう内視鏡 1 2（挿入部 2 0）の先端部 2 6 には、CMOS センサ 5 8 と周辺回路とが同一チップに形成された CMOS 撮像素子 5 4 が内蔵されており、周辺回路として、アナログ信号処理回路（AFE）1 0 0、フォーマット変換回路 1 0 2、レジスタ 1 0 6、タイミングジェネレータ（TG）1 0 4、インターフェース回路 1 0 8 等を備えている。

20

【 0 0 3 9 】

CMOS センサ 5 8 は、マトリクス状に配置される各画素ごとに形成されるフォトダイオードとフォトダイオードにより蓄積された信号電荷を電圧信号に変換する電圧変換回路と、電圧変換回路から電圧信号を読み出す画素のアドレス（位置）を指定する走査回路（垂直走査回路及び水平走査回路）と、走査回路によって読み出された画素の電圧信号を順に出力する出力回路とを備えている。

【 0 0 4 0 】

AFE 1 0 0 は、相関二重サンプリング回路（CDS）、自動ゲイン回路（AGC）、及びアナログ/デジタル変換器（A/D）から構成されている。CDS は、CMOS センサ 5 8 の各画素から順次読み出された画素信号からなる撮像信号に対して相関二重サンプリング処理を施し、CMOS センサ 5 8 で生じるリセット雑音およびアンプ雑音の除去を行う。AGC は、CDS によりノイズ除去が行われた撮像信号を、プロセッサ装置 1 4 から指定されるゲイン（増幅率）で増幅する。A/D は、AGC により増幅された撮像信号を、所定のビット数のデジタル信号に変換して出力する。A/D でデジタル化されて出力された撮像信号（デジタル撮像信号）は、フォーマット変換回路 1 0 2 によりプロセッサ装置 1 4 との間で決められた所定フォーマットの信号に変換され、プロセッサ装置 1 4 に送信される。

30

【 0 0 4 1 】

タイミングジェネレータ（TG）1 0 4 は、CMOS センサ 5 8 から画素信号を読み出すための駆動パルスや AFE 1 0 0 等の各部の同期パルスを発生させる。

40

【 0 0 4 2 】

レジスタ 1 0 6 は、CMOS 撮像素子 5 4 における各部の処理内容を決定するパラメータを記憶するメモリであり、このパラメータに従って各部の処理が実行される。

【 0 0 4 3 】

インターフェース回路 1 0 8 は、CMOS 撮像素子 5 4 の外部からの CMOS 撮像素子 5 4 の各部の処理内容を設定する制御信号（コマンド）や基本クロック等を入力し、レジスタ 1 0 6 で設定されているパラメータの情報等を外部に出力する。インターフェース回路 1 0 8 にコマンドが入力されると、そのコマンドに従って上記レジスタ 1 0 6 にパラメータが設定される。基本クロックは上記 TG 1 0 4 に与えられ、これを基準に各部に供

50

給するパルスが生成される。

【 0 0 4 4 】

また、必ずしも設けられるものではないが、内視鏡 1 2 の操作部 2 2 には、中継基板 1 1 0 が搭載されている。この中継基板 1 1 0 は、主に操作部 2 2 に電気的な処理に関するスイッチ等が設けられる場合や、C M O S センサ 5 8 に被写体像を結像する対物光学系 5 0 (図 3 参照) のズーム制御やフォーカス制御を行う場合に C P U 1 1 2 を備え、その C P U 1 1 2 によりスイッチの状態の検出が行われ、C P U 1 1 2 と図示しない駆動回路により対物光学系 5 0 の制御が行われるようになっている。C P U 1 1 2 は、プロセッサ装置 1 4 の C P U 2 0 0 と図示しないインターフェース回路で接続されており、プロセッサ装置 1 4 において行われる処理に関するスイッチ状態の情報が C P U 2 0 0 に送信され、

10

【 0 0 4 5 】

プロセッサ装置 1 4 は、C P U 2 0 0、画像処理回路 2 0 8、表示制御回路 2 1 0 等を備えている。C P U 2 0 0 は、プロセッサ装置 1 4 内の各部の動作を統括制御し、また、上記のように内視鏡 1 2 との間で各種信号のやり取りを行う。例えば、C M O S 撮像素子 5 4 に対して制御信号や基本クロック等を与え、C M O S 撮像素子 5 4 から制御情報を取得する。

【 0 0 4 6 】

画像処理回路 2 0 8 は、入力された撮像信号に対して色分離、色補間、ゲイン補正、ホワイトバランス調整、ガンマ補正、輪郭強調処理、明度の調整処理などのプロセッサ装置 1 4 において行われる画像処理に関する回路を簡略化して 1 つの回路で示したものである。画像処理回路 2 0 8 に入力した撮像信号に対して画像処理が施されて得られた画像データは後段の表示制御回路 1 2 8 に入力される。

20

【 0 0 4 7 】

表示制御回路 2 1 0 は、画像処理回路 2 0 8 から入力された画像データからモニタ 3 8 の表示形式に応じた映像信号を生成し、モニタ 3 8 に出力する。これにより、モニタ 3 8 には C M O S 撮像素子 5 4 により撮影された内視鏡画像が表示される。

【 0 0 4 8 】

電源回路 2 1 2 は、プロセッサ装置 1 4 の各部、内視鏡 1 2 の C M O S 撮像素子 5 4 及び中継基板 1 1 0 に必要な電圧の電源を供給する回路である。

30

【 0 0 4 9 】

尚、C M O S 撮像素子 5 4 のインターフェース回路 1 0 8 にはプロセッサ装置 1 4 の C P U 2 0 0 が直接接続されるのではなく、内視鏡 1 2 内の中継基板 1 1 0 の C P U 1 1 2 が接続される構成のものもあり、プロセッサ装置 1 4 の C P U 2 0 0 と、C M O S 撮像素子 5 4 との間の信号のやり取りは C P U 1 1 2 を中継して行われる場合や、C P U 1 1 2 が C M O S 撮像素子 5 4 の制御を行う場合もある。以下に説明するリセットに関する制御は全てをプロセッサ装置 1 4 の C P U 2 0 0 の指示に基づいて行われるものとするが、その一部又は全てを C P U 2 0 0 ではなくて、内視鏡 1 2 内部の C P U 1 1 2 (制御回路) が行う場合であっても良い。

【 0 0 5 0 】

上記のごとく構成された内視鏡システム 1 0 の内視鏡 1 2 における C M O S 撮像素子 5 4 のリセット方法に関して説明する。

40

【 0 0 5 1 】

図 5 は、C M O S 撮像素子 5 4 において、リセットに関連する構成部と、プロセッサ装置 1 4 と間の接続線を示したブロック図である。同図には、C M O S 撮像素子 5 4 の内部には、図 4 の A F E 1 0 0、フォーマット変換回路 1 0 2 等の信号処理に関する構成部を示す映像処理部 (信号処理部) 3 0 0 と、図 4 のレジスタ 1 0 6 と、図 4 のインターフェース回路 1 0 8 のうちの C P U 2 0 0 とシリアル通信を行う通信インターフェース (通信 I F) 3 0 2 が示されている。また、C M O S 撮像素子 5 4 にはチップ端子としてシリアル通信端子 3 1 0、デバイスリセット端子 3 1 2、電源端子 3 1 4 が設けられており、

50

ロセッサ装置 14 の CPU 200 とシリアル通信端子 310 とを接続するシリアル通信線 320、CPU 200 とデバイスリセット端子 312 とを接続するデバイスリセット線 322、及び、プロセッサ装置 14 の電源回路 212 と電源端子 314 とを接続する電源供給線 324 が示されている。

【0052】

レジスタ 106 は、上記のように CMOS センサ 58 の制御内容や映像処理部 300 の処理内容を決定する値（VH 幅やシャッター速度など）を格納するメモリであり、CMOS 撮像素子 54 の各部はレジスタ 106 の値を参照してレジスタ 106 の値に従った処理を実行する。

【0053】

通信 IF 302 は、CMOS 撮像素子 54 内部においてシリアル通信端子 310 と内部で接続されており、上記のようにプロセッサ装置 14 の CPU 200 からシリアル通信線を通じて制御信号（コマンド）を受信すると、デコードして制御信号の内容に従った設定値をレジスタ 106 に設定する。これによって、映像処理部 300 等の各部において、制御信号によって指示された処理が実行される。

【0054】

図 5 のような構成を有する CMOS 撮像素子 54 において、制御不能な状態となったときのリセット方法の手順を図 6 のフローチャートに示す。

【0055】

例えば、CMOS 撮像素子 54 による撮影が実行されている際に、プロセッサ装置 14 の CPU 200 は、通常の処理として、シリアル通信線 320 を通じて所定の制御指示を与える制御信号を CMOS 撮像素子 54 に送信すると、その制御信号を受信したことを示す応答信号が CMOS 撮像素子 54 から送信されるのを待機する。もし所定時間が経過しても応答信号が送信されてこない場合には、再度、同じ制御信号を送信して応答信号が送信されるのを待機する。そして、応答信号が送信されてこない間はこの処理を所定回まで繰り返す（ステップ S10）。尚、この処理を CMOS 撮像素子 54 の動作状態判定処理と称す。

【0056】

CPU 200 は、上記の CMOS 撮像素子 54 の動作状態判定処理を行った結果、最終的に CMOS 撮像素子 54 から応答信号が得られたか否かによって CMOS 撮像素子 54 が正常な状態か異常な状態（制御不能状態）かを判定する（ステップ S12）。もし、正常な状態と判定した場合には通常の処理（通常処理）に移行する。

【0057】

一方、制御不能状態と判定した場合には、まず、シリアル通信線上に乗ったノイズが原因で不正な制御信号が通信 IF 302 に与えられていた可能性があるため、通信 IF 302 に蓄積された制御信号を除去するための制御信号を送信する（ステップ S14）。

【0058】

そして、ステップ S10、S12 と同様に動作状態判定処理を実行し（ステップ S16）、CMOS 撮像素子 54 が正常な状態か否かを判定する（ステップ S18）。

【0059】

ステップ S18 において、正常な状態と判定した場合には通常処理に移行し、制御不能状態と判定した場合には、CMOS 撮像素子 54 の問題と認識し、リセットするための以下の処理を順次行う。

【0060】

まず、CPU 200 は高速で通常動作に復帰できるソフトリセットを実行する（ステップ S20）。ソフトリセットは、CPU 200 からシリアル通信線 320 を通じてソフトリセットを実行させる制御信号を送信することにより実行され、その制御信号を通信 IF 302 が受信すると、レジスタ 106 に記録されているデータが全て初期化される。そして、ステップ S10、S12 と同様に動作状態判定処理を実行し（ステップ S22）、CMOS 撮像素子 54 が正常な状態か否かを判定する（ステップ S24）。もし、正常な状

10

20

30

40

50

態と判定した場合には、リセットに関する処理を終了し通常処理に移行する。

【 0 0 6 1 】

一方、ステップ S 2 4 において制御不能状態と判定した場合には、次に CPU 2 0 0 は、デバイスリセットを実行する（ステップ S 2 6）。デバイスリセットは、図 5 に示したように CMOS 撮像素子 5 4 のチップ端子として設けられているデバイスリセット端子 3 1 2 に所定のリセット信号（パルス信号）を送信することによって行われ、このデバイスリセットによって映像処理部 3 0 0 が初期化される。そして、ステップ S 1 0、S 1 2 と同様に動作状態判定処理を実行し（ステップ S 2 8）、CMOS 撮像素子 5 4 が正常な状態か否かを判定する（ステップ S 3 0）。もし、正常な状態と判定した場合には、リセットに関する処理を終了し通常処理に移行する。

10

【 0 0 6 2 】

更に、ステップ S 2 4 において制御不能状態と判定した場合には、CMOS 撮像素子 5 4 の全体の問題として、CPU 2 0 0 は、電源回路 2 1 2 から CMOS 撮像素子 5 4 の電源端子 3 1 4 への電源供給線 3 2 4 からの電源供給を一旦停止（オフ）させ、所定時間経過した後、電源供給を再開（オン）する（ステップ S 3 2）。

【 0 0 6 3 】

電源供給を一旦停止させて再投入した場合には CMOS 撮像素子 5 4 が故障していない限り正常状態への復旧は確実であるため、以後通常処理に移行する。

【 0 0 6 4 】

尚、上記ソフトリセット（ステップ S 2 0）、デバイスリセット（ステップ S 2 6）、電源供給の停止及び再開（ステップ S 3 2）のいずれかのリセット処理を行った後は、レジスタ 1 0 6 の設定値を再設定する必要があるため、各々のリセット処理によって CMOS 撮像素子 5 4 が正常な状態となったと判定して通常処理に移行した後にその再設定を行うようにしてもよいが、ソフトリセットの実行後とデバイスリセットの実行後において動作状態判定処理を実行する際に CPU 2 0 0 から CMOS 撮像素子 5 4 に送信する制御信号によって動作状態判定処理と共にレジスタ 1 0 6 の再設定を行うようにしてもよい。

20

【 0 0 6 5 】

また、上記の動作状態判定処理の方法は一例であって、CMOS 撮像素子 5 4 が正常な状態か否かを判定する方法は他の方法を用いてもよい。例えば、CMOS 撮像素子 5 4 から出力される撮像信号は、デジタル信号であり、撮像信号に所望の付加情報を含ませることが可能である。そこで、撮像信号に CMOS 撮像素子 5 4 の動作状態を示す情報を付加情報として含ませておき、プロセッサ装置 1 4 において CMOS 撮像素子 5 4 から取得した撮像信号の中から付加情報を抽出し、CPU 2 0 0 がその付加情報に基づいて CMOS 撮像素子 5 4 の動作状態が正常か否かを判定することもできる。また、CMOS 撮像素子 5 4 から取得した撮像信号により生成される内視鏡画像（動画）の変化を CPU 2 0 0 で監視し、その変化に基づいて CMOS 撮像素子 5 4 が正常か否かを判定することもできる。例えば、内視鏡画像に変化がない場合などに CMOS 撮像素子 5 4 が正常の状態ではないと判定することもできる。

30

【 0 0 6 6 】

また、上記実施の形態において CMOS 撮像素子 5 4 のデバイスリセット端子 3 1 2 に接続されるデバイスリセット線 3 2 2 にノイズが乗り、意図せずにデバイスリセットが行われる恐れがある。そこで、レジスタ 1 0 6 の所定アドレスの設定値によってデバイスリセットが可能な状態と禁止の状態とで切り換えられるようにし（図 6 におけるレジスタのスイッチ 3 3 0 がこれに相当）、電源投入後の初期状態ではデバイスリセットを可能な状態とし、CPU 2 0 0 から通信 IF 3 0 2 に送信する制御信号によりレジスタ 1 0 6 の設定値を書き換えることによりデバイスリセットを禁止の状態に切り換えられるようにしてもよい。

40

【 0 0 6 7 】

また、上述のように、CMOS 撮像素子 5 4 のインターフェース回路 1 0 8（通信 IF 3 0 2）にはプロセッサ装置 1 4 の CPU 2 0 0 が直接接続されるのではなく、内視鏡 1 2

50

内の中継基板 110 の CPU 112 等の内視鏡 12 内の制御回路が接続される構成のものもあり、プロセッサ装置 14 の CPU 200 と、CMOS 撮像素子 54 との間の信号のやり取りは内視鏡 12 内の制御回路を中継して行われる場合や、内視鏡 12 内の制御回路が CMOS 撮像素子 54 の制御を行う場合もある。この場合において、上記のリセットに関する制御の一部又は全てを CPU 200 ではなくて、内視鏡 12 内の制御回路が行うようにしてもよい。また、CMOS 撮像素子 54 への電源供給の実行と停止は、CMOS 撮像素子 54 のインタフェース回路 108 にプロセッサ装置 14 の CPU 200 が直接接続されている態様と、内視鏡内の制御回路が接続されている態様のいずれにかかわらず、内視鏡 12 内の制御回路で管理している場合があり、その場合には、上記のリセット方法の手順における CMOS 撮像素子 54 への電源供給の実行と停止に関する制御は内視鏡 12 内の制御回路が行うことになる。さらに上述の CPU 112、中継基板 110、制御回路は、内視鏡 12 のユニバーサルコード 24 のコネクタ 36 等の位置に設けられる場合もあり、操作部 22 の位置に設けられる場合に限らない。

10

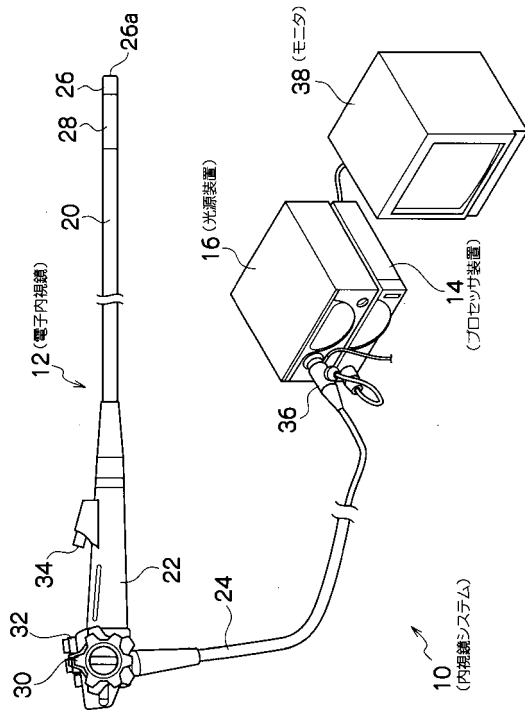
【符号の説明】

【0068】

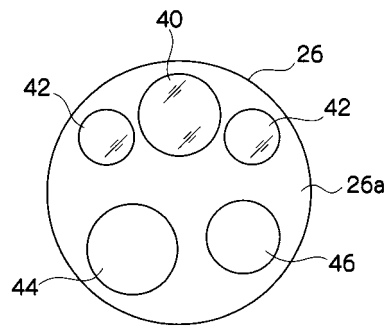
10 ... 内視鏡システム、12 ... 内視鏡装置（内視鏡）、14 ... プロセッサ装置、16 ... 光源装置、20 ... 挿入部、22 ... 操作部、26 ... 先端部、28 ... 湾曲部、36 ... コネクタ、38 ... モニタ、54 ... CMOS 撮像素子、58 ... CMOS センサ、100、300 ... AFE、102、302 ... フォーマット変換回路 104、304 ... タイミングジェネレータ、106 ... レジスタ、108 ... インターフェース回路、110 ... 中継基板、200、312 ... CPU、202、204 ... スイッチ回路、206 ... 画像メモリ、208 ... 画像処理回路、210 ... 表示制御回路、300 ... 映像処理部、302 ... 通信インターフェース、310 ... シリアル通信端子、312 ... デバイスリセット端子、314 ... 電源端子、320 ... シリアル通信線、322 ... デバイスリセット線、324 ... 電源供給線

20

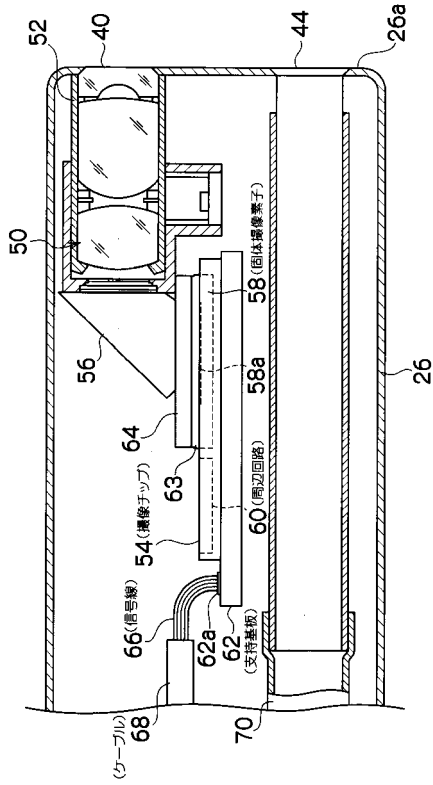
【図 1】



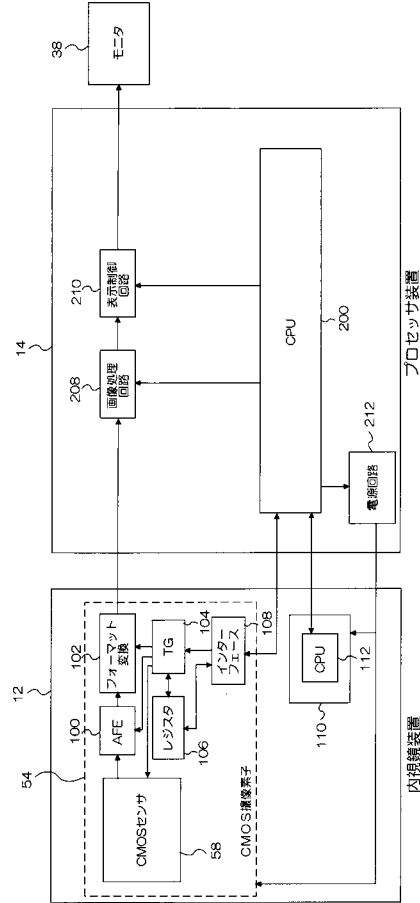
【図 2】



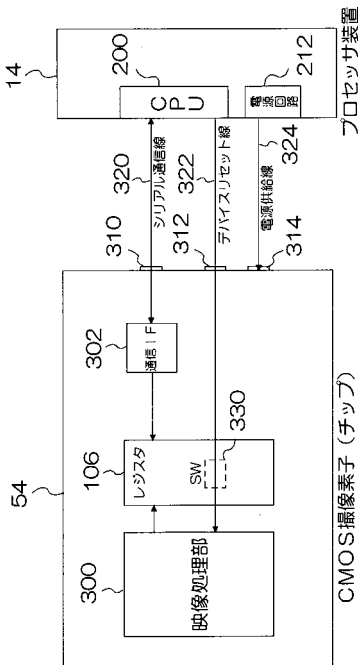
【図3】



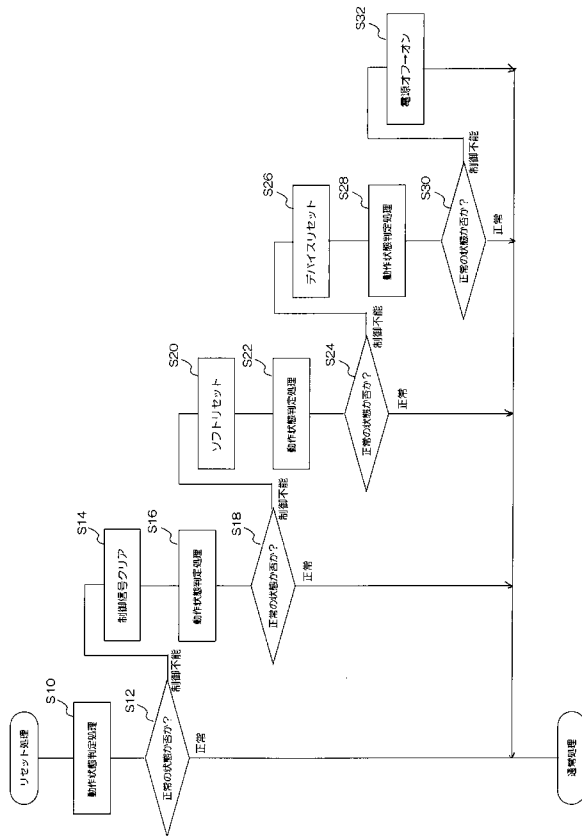
【図4】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開2010-004979(JP,A)
特開平05-168588(JP,A)
特開2009-201540(JP,A)

(58)調査した分野(Int.Cl., DB名)

A61B 1/00 ~ 1/32
G02B 23/24 ~ 23/26
H04N 5/225

专利名称(译)	在内窥镜设备中操作CMOS成像元件的方法		
公开(公告)号	JP5384409B2	公开(公告)日	2014-01-08
申请号	JP2010078147	申请日	2010-03-30
[标]申请(专利权)人(译)	富士胶片株式会社		
申请(专利权)人(译)	富士胶片株式会社		
当前申请(专利权)人(译)	富士胶片株式会社		
[标]发明人	橋本邦男		
发明人	橋本 邦男		
IPC分类号	A61B1/04 G02B23/24 H04N5/225		
CPC分类号	H04N5/23203 H04N5/3577 H04N5/3698 H04N5/374 H04N2005/2255 A61B1/00006		
FI分类号	A61B1/04.372 G02B23/24.B H04N5/225.C A61B1/045.630 A61B1/05 H04N5/225 H04N5/225.500 H04N5/232.410		
F-TERM分类号	2H040/GA02 2H040/GA06 2H040/GA10 2H040/GA11 4C061/CC06 4C061/JJ11 4C061/LL02 4C061/NN01 4C061/SS03 4C161/CC06 4C161/JJ11 4C161/LL02 4C161/NN01 4C161/SS03 5C122/DA26 5C122/EA01 5C122/EA68 5C122/FC02 5C122/FK23 5C122/FL05 5C122/GC86 5C122/GF04 5C122/HB01		
审查员(译)	大冢雄一		
其他公开文献	JP2011206335A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有CMOS成像元件的内窥镜装置，用于在内窥镜插入部分的远端拍摄内窥镜图像，当CMOS成像元件变得不可控制时，能够恢复CMOS图像传感器元件的内窥镜设备中的CMOS图像传感器的状态。具有CMOS传感器和形成在单个芯片上的外围电路的CMOS图像传感器设置在内窥镜插入部分的远端。当CMOS图像拾取元件变为不可控状态时，首先，执行用于初始化寄存器的软复位（步骤S20）。如果未恢复正常状态，则执行设备重置（步骤S26）。如果即使这样也没有恢复正常状态，则暂时停止并重新启动电源（步骤S32）。点域6

【 图 1 】

